

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-065291

(43)Date of publication of application : 06.03.1998

(51)Int.Cl.

H05K 1/02
H05K 3/00

(21)Application number : 08-220847

(71)Applicant : TEC CORP

(22)Date of filing : 22.08.1996

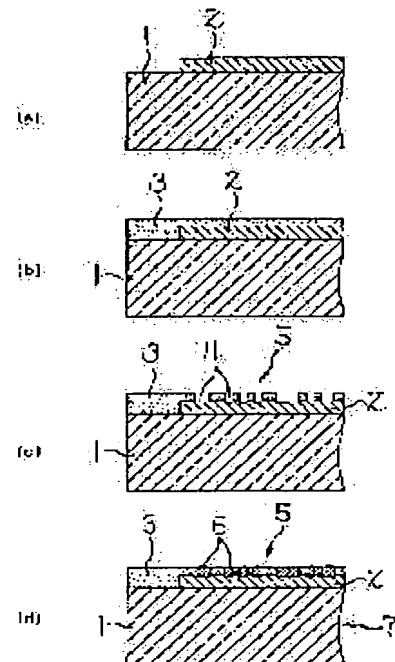
(72)Inventor : HARA HIROSHI

(54) WIRING BOARD AND MARKING METHOD IN WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a mark formed on a conductive pattern from being oxidized and also to enable reading the mark accurately and easily.

SOLUTION: In the case where this wiring board is provided with a board main body 1, formed with a conductive pattern 2 for connecting a circuit element on the surface, a resist layer 3 formed on the pattern 2 and a solder paste 6 covering a mark 5 formed on the pattern 2 by peeling one part of this layer 3, the mark 5 is isolated from the outside air with the paste 6. As a result, the mark 5 can be prevented from being oxidized. Moreover, as the surface roughness of the paste 6 on the mark 5 is rougher than that of the periphery of the paste 6, the scattered state of reflected light is obtained in the parts mark 5, when the case external light is cut off on the paste 6. Accordingly, it enables recognizing the mark 5 accurately and easily by this scattered state of the reflected light.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65291

(43) 公開日 平成10年(1998) 3月6日

(51) Int. Cl. ⁶

H05K 1/02
3/00

識別記号

F I

H05K 1/02
3/00

R
P

審査請求 未請求 請求項の数 2 O L (全 3 頁)

(21) 出願番号 特願平8-220847

(22) 出願日 平成8年(1996) 8月22日

(71) 出願人 000003562

株式会社テック

静岡県田方郡大仁町大仁570番地

(72) 発明者 原 啓

静岡県田方郡大仁町大仁570番地 株式会
社テック大仁事業所内

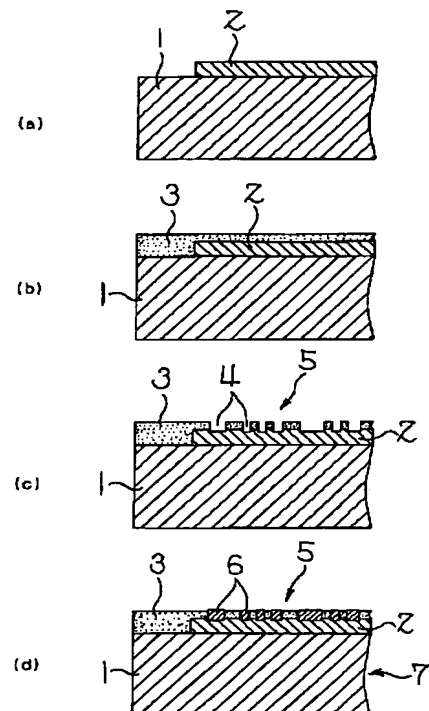
(74) 代理人 弁理士 柏木 明 (外 1 名)

(54) 【発明の名称】 配線基板及び配線基板におけるマーキング方法

(57) 【要約】

【課題】 導電パターン上に形成されたマークの酸化を防止するとともに、マークを正確かつ容易に読み取ることができるようにする。

【解決手段】 回路素子を接続するための導電パターン2が表面に形成された基板本体1と、導電パターン2上に成膜されたレジスト層3と、このレジスト層3の一部を剥離して導電パターン2上に形成されたマーク5を覆う半田ペースト6とを具備する。したがって、マーク5が半田ペースト6により外気から遮断されるため、マーク5の酸化を防止することができる。また、マーク5上の半田ペースト6は表面粗さが周囲より粗いため、外光を受けた場合にマーク5の部分では反射光が散乱する状態が得られる。したがって、この反射光の散乱状態によりマーク5を正確かつ容易に認識することが可能となる。



【特許請求の範囲】

【請求項 1】 回路素子を接続するための導電パターンが表面に形成された基板本体と、前記導電パターン上に成膜されたレジスト層と、このレジスト層の一部を剥離して前記導電パターン上に形成されたマークを覆う半田ペーストとを具備する配線基板。

【請求項 2】 回路素子を接続するために基板本体の表面に形成された導電パターン上にレジスト層を成膜し、このレジスト層の一部にレーザー光を走査して前記レジスト層を剥離することにより前記導電パターンの表面の一部を露出してマークを形成し、このマークの上に半田ペーストを溶着するようにしたことを特徴とする配線基板におけるマーキング方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、配線基板及び配線基板におけるマーキング方法に関する。

【 0 0 0 2 】

【従来の技術】一般に、回路素子を接続する配線基板等には、製造ロットを管理するために、仕様に関するデータ、製造年月日、ロット番号等を識別するためのマークが形成されている。そこで、配線基板には回路素子を接続するための導電パターンが形成されていることに着目し、導電パターン上にレジスト層を成膜し、このレジスト層の上から所望のマークに対応する走査パターンをもってレーザー光を走査することにより、レジスト層の一部を剥離して導電パターンを露出することによりマークを形成することが行われている。

【 0 0 0 3 】

【発明が解決しようとする課題】基板本体上の導電パターンは一般に銅箔が用いられているので、導電パターンを露出させたマークとそれ以外の部分とのコントラストが低く読み取りが困難であり、また、マークが酸化し易い。

【 0 0 0 4 】

【課題を解決するための手段】請求項 1 記載の発明は、回路素子を接続するための導電パターンが表面に形成された基板本体と、前記導電パターン上に成膜されたレジスト層と、このレジスト層の一部を剥離して前記導電パターン上に形成されたマークを覆う半田ペーストとを具備する配線基板である。したがって、マークが半田ペーストにより外気から遮断される。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、外光を受けた場合にマーク部分では反射光が散乱する状態が得られる。

【 0 0 0 5 】請求項 2 記載の発明は、回路素子を接続するために基板本体の表面に形成された導電パターン上にレジスト層を成膜し、このレジスト層の一部にレーザー光を走査して前記レジスト層を剥離することにより前記導電パターンの表面の一部を露出してマークを形成し、

このマークの上に半田ペーストを溶着するようにした配線基板におけるマーキング方法である。したがって、導電パターン上のレジスト層にレーザー光を走査するとレジスト層が剥離されるため、その剥離された部分をもってマークが形成される。このマークは半田ペーストにより外気から遮断される。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、外光を受けた場合にマーク部分では反射光が散乱する状態が得られる。

【 0 0 0 6 】

【発明の実施の形態】本発明の一実施の形態における配線基板におけるマーキング方法を図 1 に基づいて説明する。まず、図 1 (a) に示すように基板本体 1 を用意する。この基板本体 1 の表面には回路素子 (図示せず) を接続するために導電パターン (銅箔) 2 が形成されている。次に、図 1 (b) に示すように、基板本体 1 の表面に導電パターン 2 を覆うようにレジスト層 3 を成膜する。次に、図 1 (c) に示すようにレジスト層 3 の一部にレーザー光を走査してレジスト層 3 の一部を除去し溝 4 を形成する。この溝 4 の形成パターンによりマーク 5 が形成される。この場合、溝 4 の深さ寸法をレジスト層 3 の厚さ寸法よりも僅かに大きくすることにより、マーク 5 を形成する部分にレジスト層 3 が残らないようにしている。次に、図 1 (d) に示すように、マーク 5 の上に半田ペースト 6 を溶着する。

【 0 0 0 7 】このようにして形成されたマーク 5 は、この例では配線基板 7 としての仕様に関するデータ、製造年月日、ロット番号等を識別するためのバーコードである。このマーク 5 は半田ペースト 6 により外気から遮断されるため、酸化を防止することができる。また、マーク 5 上の半田ペースト 6 は表面粗さが周囲より粗いため、外光を受けた場合にマーク 5 を形成した部分では反射光が散乱する状態が得られる。したがって、その反射光の散乱状態によってマーク 5 を正確かつ容易に認識することが可能となる。

【 0 0 0 8 】次に、基板本体 1 上にレーザー光を走査する具体的な方法について説明する。図 2 に示す例は、基板本体 1 の真上に、結像レンズ 8 と、所望のマークに対応してレーザー光 9 を通す透光パターン 1 0 が形成されたマスク 1 1 とを順次配列し、マスク 1 1 の上方からレーザー光 9 を走査し、透光パターン 1 0 を通ったレーザー光 9 を結像レンズ 8 により基板本体 1 の表面に結像することにより、レジスト層 3 の一部を剥離して導電パターン 2 の一部を露出することによりマーク 5 を形成する方法である。

【 0 0 0 9 】図 3 に示す例は、基板本体 1 の真上に結像レンズ 8 を配設し、レーザー発光部 (図示せず) と結像レンズ 8 との間の光路中に二つのガルバノミラー 1 2 , 1 3 を配設し、これらのガルバノミラー 1 2 , 1 3 により偏向されたレーザー光 9 を結像レンズ 8 により基板本体 1 の表面に結像する例である。この場合、ガルバノミ

10

20

30

40

50

3

ラー 1 2, 1 3 を互いに回転軸が直交するように配列し、それぞれモータ 1 4 で回転させることにより、基板本体 1 の表面においてレーザー光 9 が二次元方向に走査される。

【0010】

【発明の効果】請求項 1 記載の発明の配線基板は、回路素子を接続するための導電パターンが表面に形成された基板本体と、前記導電パターン上に成膜されたレジスト層と、このレジスト層の一部を剥離して前記導電パターン上に形成されたマークを覆う半田ペーストとを具備するので、マークが半田ペーストにより外気から遮断されるため、マークの酸化を防止することができる。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、外光を受けた場合にマーク部分では反射光が散乱する状態が得られる。したがって、この反射光の散乱状態によりマークを正確かつ容易に認識することができる。

・【0011】請求項 2 記載の発明の回路基板におけるマーキング方法は、回路素子を接続するために基板本体の表面に形成された導電パターン上にレジスト層を成膜し、このレジスト層の一部にレーザー光を走査して前記レジスト層を剥離することにより前記導電パターンの表面の一部を露出してマークを形成し、このマークの上に半田ペーストを溶着するようにしたので、導電パターン上のレジスト層にレーザー光を走査するとレジスト層が

4

剥離されるため、その剥離された部分をもってマークが形成される。このマークは半田ペーストにより外気から遮断されるため、マークの酸化を防止することができる。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、マークの酸化を防止することができる。また、マーク上の半田ペーストは表面粗さが周囲より粗いため、外光を受けた場合にマーク部分では反射光が散乱する状態が得られる。したがって、この反射光の散乱状態によりマークを正確かつ容易に認識することができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態におけるマーキングの工程を示す一部の縦断側面図である。

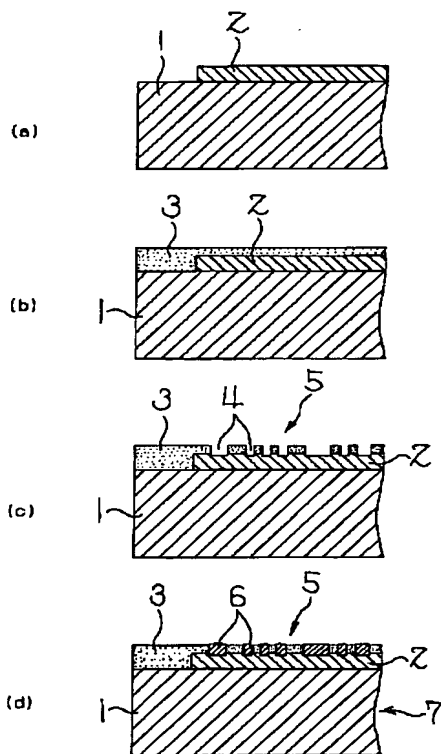
【図 2】基板本体上に対するレーザー光の走査方法を示す斜視図である。

【図 3】基板本体上に対するレーザー光の走査方法を示す斜視図である。

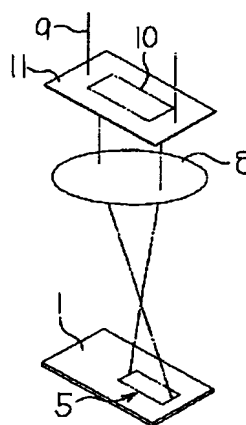
【符号の説明】

- | | |
|---|--------|
| 1 | 基板本体 |
| 2 | 導電パターン |
| 3 | レジスト層 |
| 5 | マーク |
| 6 | 半田ペースト |

【図 1】



【図 2】



【図 3】

